

**SEMICONDUCTOR NONVOLATILE MEMORY DEVICE**

Patent Number: JP5055600  
Publication date: 1993-03-05  
Inventor(s): NAKAO HIRONOBU  
Applicant(s): ROHM CO LTD  
Requested Patent: ☐ JP5055600  
Application Number: JP19910212305 19910823  
Priority Number(s):  
IPC Classification: H01L29/788 ; H01L29/792 ; H01L27/115  
EC Classification:  
Equivalents:

**Abstract**

**PURPOSE:** To enable a writing voltage to be reduced and an electric charge retention performance to be improved for promoting thinning and integration of a trap-type nonvolatile semiconductor memory device.

**CONSTITUTION:** A channel region 28 is formed within a p-type Si substrate 3 by forming an n<+>-type drain 22 and an n<+>-type source 24, an SiO<sub>2</sub> thin film 26 is formed on it, a hybrid film of Si nitride film and TiO<sub>2</sub> is formed on it, and further a poly-Si film 20 is formed on it. A surface of a hybrid film 16 is oxidized, thus forming a barrier oxide film 18. In a memory device using a memory cell 2, when an electric field is applied between a poly-Si film and the channel region 28, an electron within a channel region through the SiO<sub>2</sub> film is trapped by the hybrid film 16 and information is stored. An electric field in opposite direction from writing is applied for returning the trapped electron to the channel region, thus enabling information to be erased. When reading information, judgment is made depending on whether current flows at the channel region or not when applying a voltage between n<+>-type drain and source of the memory cell 2.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-55600

(43) 公開日 平成5年(1993)3月5日

(51) Int.Cl.<sup>3</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/788  
29/792  
27/1158225-4M  
8831-4MH 0 1 L 29/ 78 3 7 1  
27/ 10 4 3 4

審査請求 未請求 請求項の数1(全11頁)

(21) 出願番号

特願平3-212305

(22) 出願日

平成3年(1991)8月23日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 中尾 広宣

京都府京都市右京区西院溝崎町21番地

ローム株式会社内

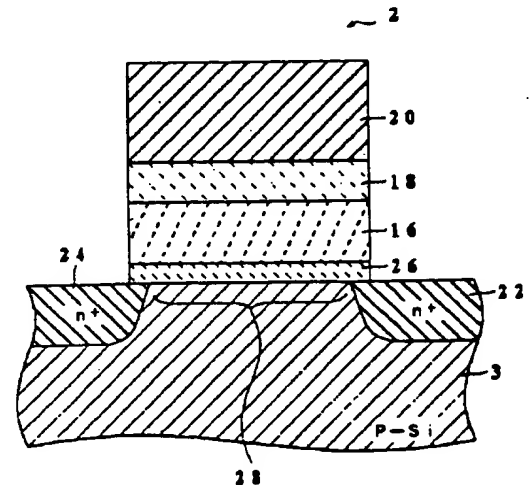
(74) 代理人 弁理士 古谷 栄男

(54) 【発明の名称】 半導体不揮発性記憶装置

(57) 【要約】 (修正有)

【目的】トラップ型不揮発性半導体記憶装置の微細化と集積化を促すため書き込み電圧を低電圧化し電荷保持性能を向上させる。

【構成】p型Si基板3内にn<sup>+</sup>型ドレイン22及びn<sup>+</sup>型ソース24の形成によりチャンネル領域28が形成され、その上にSiO<sub>2</sub>薄膜26が形成され、その上面にSi窒化膜とTiO<sub>2</sub>との混合膜が形成され、さらにその上にポリSi膜20が形成されている。混合膜16の表面を酸化しバリア酸化膜18を形成する。メモリセル2を用いた記憶装置では、ポリSi膜とチャンネル領域28間に電界印加時、SiO<sub>2</sub>膜を通過けたチャンネル領域内の電子が混合膜16にトラップされて情報が記憶される。書き込みと反対方向の電界を印加し、トラップ電子をチャンネル領域に戻してやれば情報は消去される。情報を読出す場合はメモリセル2のn<sup>+</sup>型のドレインとソース間に電圧を印加時、チャンネル領域に電流が流れるか否かで判断される。



3 : P型シリコン基板  
22 : n<sup>+</sup>型ドレイン  
24 : n<sup>+</sup>型ソース  
26 : シリコン酸化膜

16 : 混合膜  
18 : バリア酸化膜  
20 : ポリシリコン膜  
28 : チャンネル領域

## 【特許請求の範囲】

【請求項1】第一導電型の半導体基板と、

前記半導体基板内に形成された第二導電型の少なくとも一対の拡散領域と、

前記半導体基板上に形成された第一絶縁膜と、

第一絶縁膜上に形成された高誘電率絶縁物質と無定形絶縁物質（シリコン窒化を含む）との混合膜と、

前記混合膜上に形成された制御電極と、

を備える半導体不揮発性記憶装置において、

前記混合膜と前記制御電極との間に第二絶縁膜を設けたことを特徴とする半導体不揮発性記憶装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体不揮発性記憶装置に関するものであり、特に書き電圧の低電圧化およびメモリの電荷保持性能の向上に関する。

【0002】

【従来の技術】不揮発性半導体記憶装置のメモリセルとして、ゲート電極21、シリコン窒化膜19、シリコン酸化膜17、n形のソース層13およびn形ドレイン層15を有するp形シリコン基板11からなるMNOS (Metal-Nitride-Oxide-Semiconductor) 構造がよく知られている（図9）。MNOSメモリセルは、メモリセルに電界を印加し、シリコン窒化膜19に電子をトラップすることによって情報を記録する。このMNOSメモリセルの書き電圧の低電圧化を図る方法として、次に報告された半導体装置を利用することが考えられる。

【0003】その半導体装置とは、一導電形半導体基板片に反対導電形ソース領域およびドレイン領域を有し、この両領域間の基板面に形成された導電チャンネルを制御する絶縁ゲート半導体装置であって、上記基板面に\*

$$V_{th} = 2\phi_F + V_{FB} + \frac{1}{C} \times \sqrt{2\epsilon q N_A 2\phi_F}$$

$\epsilon$  : シリコン誘電率

$N_A$  : 基板内不純物濃度

$V_{FB}$  : フラットバンド電圧

$C$  : ゲート絶縁膜の容量

【0009】メモリセル1に情報“0”を書込む場合、15V程度の高電圧をメモリセル1のゲート電極14に印加する。この時、ゲート電極14とチャンネル領域28間に発生する電界によって、チャンネル領域28内の電子は高いエネルギーを持つようになり、いくつかの電子はシリコン酸化膜26をトンネリングして混合膜12にはいり、トラップされる。

【0010】この場合、MNOS構造メモリセルのシリコン窒化膜19に比べ、混合膜12の誘電率は高いから、シリコン酸化膜26にかかる分圧比が高い。従って、MNO S構造メモリセルに比べ低電圧で 込むことが出来る。

\*シリコン酸化被膜を介して高誘電率絶縁被膜と無定形絶縁被膜 ( $Al_2O_3$ を含む) との混合膜を設けたことを特徴としている（特開昭47-26963）。

【0004】この半導体装置を利用した不揮発精記憶装置のメモリセル1の断面構成略図を図10に示す。

【0005】p形シリコン基板3内に設けられたn形ドレイン22とn形ソース24によってチャンネル領域28が形成されている。チャンネル領域28の上面には、シリコン酸化膜26が形成され、その上面には酸化チタンと  $Al_2O_3$  との混合膜12（膜厚30nm程度）が形成されている。さらに、その上面にはゲート電極であるアルミニウム電極14を形成されている。また、メモリセル1をバンド図で示すと、図11のようになる。

【0006】上記の様なメモリセル1は、情報“0”を記憶した状態すなわち混合膜12に電子がトラップされた状態と、情報“0”を消去した状態（情報“1”を記憶した状態）すなわち混合膜12に電子がトラップされていない状態との二通りを有する。二通り状態を取り得ることが記憶手段に利用される。

【0007】上記のメモリセル1に対する情報の 込および消去について、図12に示すメモリセル1のヒステリシスループを基いて説明する。図12の横軸はゲート電圧  $V_g$  を表わし、縦軸は閾電圧  $V_{th}$  を表わす。ゲート電圧  $V_g$  とは、メモリセルのゲート電極に印加された電圧である。また、閾電圧  $V_{th}$  とは、ゲート電極に印加する電圧を大きくしていった場合に、一定ドレイン電圧においてソース・ドレイン間に電流が流れ出す時のゲート電圧である。なお、閾電圧  $V_{th}$  は、以下の式によって与えられる。

【0008】

【数1】

$q$  : 電子電荷量

$\phi_F$  : フェルミレベル

(真性半導体のフェルミンレベルからのポテンシャル)

【0011】混合膜12に電子がトラップされることによって、閾電圧が1.6V程度まで上昇する（図12のQ1参照）。すなわち、メモリセル1は、閾電圧約1.6Vのエンハンスメント形トランジスタとして働くようになる。なお、ゲート電圧が遮断されても閾電圧はそのままの状態である（図12のR1参照）。

【0012】一方、情報“0”を消去する為にはトラップされた電子をチャンネル領域28に戻してやる必要がある。従って、チャンネル領域28に15V程度の電圧を印加し、情報の 込時とは反対方向の電界を発生させて、チャンネル領域28に電子を戻してやる。この様な変化によ

って、1.6V程度の閾電圧が-0.6V程度に変化する(図12のS1参照)。すなわち、メモリセル1は、閾電圧約-0.6Vのディプレッション形トランジスタとして働くようになる。情報"0"が消去されたこの状態は、メモリセル1が情報"1"を記憶した状態を意味する。なお、ゲート電圧が遮断されても閾電圧はそのままの状態である(図12のT1参照)。

【0013】さらに、情報の書込および消去についてメモリセル1のバンド図である図11を用いて説明する。

【0014】情報を書込む場合、印加された電界によって高いエネルギーを持った電子は、電位順位の高いシリコン酸化膜26をトンネリングし、多くの電子は混合膜12内を移動中にトラップされる。一方、情報を消去する場合、トラップされている電子は、情報の書込時とは反対方向の電界に引っ張られて、混合膜12内からシリコン酸化膜26をトンネリングしてP形シリコン基板3に戻る。

【0015】次に、メモリセル1からの情報の読み出しについて説明する。メモリセル1のソース24とドレイン22間に5V程度の電圧を印加した時にチャンネル領域28を電流が流れるかどうかで、情報"1"が記憶されているか、情報"0"が記憶されているかが判断される。つまり、情報"1"が記憶されている場合は、上述したようにメモリセル1の閾電圧は負の値(-0.6V)である。よって、メモリセル1はディプレッション形トランジスタであるから、チャンネル領域13は通電状態にある。従って、チャンネル領域28には電流が流れる。一方、情報"0"が記憶されている場合は、メモリセル1の閾電圧は正の値(1.6V)である。よって、メモリセル1はエンハンスメント形トランジスタであるから、チャンネル領域28は通電状態にない。従って、チャンネル領域28には電流が流れない。

【0016】半導体不揮発性記憶装置(図示せず)は、上記のようなメモリセル1および選択トランジスタ(図示せず)を用いて構成される。

【0017】

【発明が解決しようとする課題】半導体産業の発展にともない、不揮発性半導体記憶装置の微細化および集積化が要求されている。しかしながら、従来のメモリセル1を用いた半導体不揮発性記憶装置においては、微細化および集積化の推進を阻む問題点があった。

【0018】メモリセルへの書込電圧が低電圧であるほど容易に高集積化を行うことが出来る。なぜなら、書込電圧が高い場合、装置の微細化をすすめる上で高耐圧構造等が必要であり、集積化が阻まれるからである。

【0019】従来のメモリセル1への書込電圧を低くする方法として、混合膜12を薄くするという方法がある。なぜなら、混合膜12が薄いほど書込電圧のシリコン酸化膜18に対する分圧比が上昇する。すなわち、書込電圧が同じ場合でもシリコン酸化膜18にかかる電圧が高くなり、効率よく電子をトンネリングすることが出来るから

である。

【0020】しかしながら、混合膜12をあまり薄くすると、混合膜12に注入された電子のうち多くがゲート電極14に到達し、効率よくトラップ出来なくなる。従って、混合膜12の膜厚をある一定以上にする必要があった。すなわち、混合膜12の薄膜化による低電圧化には、限度があった。

【0021】また、従来のメモリセル1を長期使用した場合、メモリウインド幅が減少する傾向にあった。なお、メモリウインド幅とは、メモリセルのヒステリシスループの閾電圧の変化幅をいう。メモリウインド幅があまりに小さくなると、情報"0"(混合膜12に電子がトラップされた状態)と情報"1"(混合膜12に電子がトラップされない状態)とを区別出来ず、誤読み出しを起こす恐れがあった。従って、不揮発性記憶装置の信頼性を長期(10年程度)維持する為には、メモリウインド幅のあまり減少しない、すなわち電荷保持性能に優れていることが要求された。

【0022】ところが、従来のメモリセル1の場合、一旦トラップされた電子がアルミニウム電極14へ漏れてしまことがあった。また、アルミニウム電極14から混合膜12に流入したホールがシリコン酸化膜26に到達し、シリコン酸化膜26を劣化させることがあった。

【0023】シリコン酸化膜26が劣化すると、一旦トラップされた電子がチャンネル領域28に戻ってしまう可能性が高くなっていた。

【0024】以上のことから、従来のメモリセル1の電荷保持性能は、装置の信頼性を長期維持する為には十分とはいえなかった。

【0025】よって、本発明は、半導体不揮発性記憶装置の微細化および集積化を促す為、低電圧で情報を込むことが出来る、また電荷保持性能に優れた不揮発性半導体記憶装置を提供することを目的とする。

【0026】

【課題を解決するための手段】本発明に係る半導体不揮発性記憶装置は、第一導電型の半導体基板と、前記半導体基板内に形成された第二導電型の少なくとも一対の拡散領域と、前記半導体基板上に形成された第一絶縁膜と、第一絶縁膜上に形成された高誘電率絶縁物質と無定形絶縁物質(シリコン窒化を含む)との混合膜と、前記混合膜上に形成された制御電極とを備える半導体不揮発性記憶装置において、前記混合膜と前記制御電極との間に第二絶縁膜を設けたことを特徴としている。

【0027】

【作用】本発明に係る不揮発性半導体記憶装置は、前記混合膜と前記制御電極との間に第二絶縁膜を設けたことを特徴としている。

【0028】従って、書込電圧印加時に前記混合膜中を移動する電子が前記制御電極に抜けることを防止する。

【0029】また、一旦トラップされた電子が、制御電

極に漏れることを防止する。

【0030】また、前記制御電極から第一絶縁膜へのホールの移動を抑制する。

【0031】

【実施例】本発明の一実施例による不揮発性半導体記憶装置のメモリセル2の断面構成略図を図1に示す。

【0032】第一導電型の基板であるp形シリコン基板3内に設けられた第二導電型の一对の拡散領域であるn形ドレイン22とn形ソース24によってチャンネル領域28が形成される。チャンネル領域28の上面には、第一絶縁膜であるシリコン酸化膜26（膜厚2.5nm程度）、無定形絶縁物質であるシリコン窒化と高誘電率絶縁物質である酸化チタンとの混合膜16（膜厚18nm程度）、第二絶縁膜であるバリア酸化膜18が順に積層される。さらにその上面には制御電極であるポリシリコン膜20が形成されている。

【0033】なお、本発明に係る混合膜とは、 $TiO_2$ 、 $Ta_2O_5$ 、 $ZrO_2$ 、 $Nb_2O_5$ 、 $Y_2O_3$ 等の高誘電率を有する所謂多結晶性絶縁物質と $SiO_2$ 、 $Si_3N_4$ 等の様な所謂無定形（Amorphous）絶縁物質とを混合することにより高誘電率を有し、かつ無定形の上記 $SiO_2$ や $Si_3N_4$ 膜と同程度の比抵抗を有する性質を奏する。

【0034】また、メモリセル2の構造をバンド図で示すと、図2のようになる。

【0035】上記の様なメモリセル2は、情報“0”を蓄込んだ状態すなわち混合膜16に電子がトラップされた状態と、情報“0”を消去した状態（情報“1”を記憶した状態）すなわち混合膜16に電子がトラップされていない状態との二通りを有する。二通りの状態を取り得ることが記憶手段に利用される。

【0036】上記の様なメモリセル2に対する情報の付加および消去について以下に説明する。

【0037】情報“0”をメモリセル2に蓄込む場合、8V程度の電圧をメモリセル2の制御電極20に印加する。この時、制御電極20とチャンネル領域28間に発生する電界によって、チャンネル領域28内の電子は高いエネルギーを持つようになり、いくつかの電子はシリコン酸化膜26をトンネリングする。次に、トンネリングした電子は混合膜16にトラップされる。この状態は、情報“0”が記憶されたことを意味する。

【0038】一方、情報“0”を消去する（情報“1”を記憶した状態にする）為には、トラップされた電子をチャンネル領域28に戻してやる必要がある。従って、チャンネル領域28に8V程度の電圧を印加し、情報の付加時とは反対方向の電界を発生させて、チャンネル領域28に電子を戻してやる。

【0039】なお、情報の付加と消去についてメモリセル2のバンド図である図2を用いて説明する。情報を蓄込む場合、印加された電圧によって高いエネルギーを持った電子は、電位傾位の高いシリコン酸化膜26をトンネ

リングした後、混合膜16中を移動し、バリア酸化膜18にせき止められる。この時、多くの電子がバリア酸化膜18付近でトラップされる。一方、情報を消去する場合、トラップされている電子は、情報の付加時とは反対方向の電界に引っ張られて、混合膜16からシリコン酸化膜26をトンネリングしてP形シリコン基板3に戻る。

【0040】さらに上記の状態変化を、図3に示すメモリセル2のヒステリシスループに基づいて説明する。

【0041】メモリセル2に情報“0”を蓄込む場合、制御電極20に電圧が印加されると混合膜16に電子がトラップされる。この変化によって、閾電圧が1.6V程度まで上昇する（図3のQ2参照）。すなわち、メモリセル2は、閾電圧約1.6Vのエンハンスメント形トランジスタとして働くようになる。なお、ゲート電圧が遮断されても閾電圧はそのままの状態である（図3のR2参照）。

【0042】次に、情報“0”を消去する（情報“1”を記憶した状態にする）為には、付加時と反対方向の電界を印加し、チャンネル領域28に電子を戻してやる。この変化によって、1.6V程度の閾電圧が-0.6V程度に変化する（図3のS2参照）。すなわち、メモリセル2は、閾電圧-0.6Vのディプレッション形トランジスタとして働くようになる。なお、ゲート電圧が遮断されても閾電圧はそのままの状態である（図3のT2参照）。

【0043】次に、情報の読み出しについて説明する。メモリセル2のソース24とドレイン22間に5V程度の電圧を印加した時にチャンネル領域28に電流が流れるかどうかで、情報“1”が記憶されているか、情報“0”が記憶されているかが判断される。

【0044】つまり、情報“1”が記憶されている場合は、上述したようにメモリセル2の閾電圧は負の値（約-0.6V）である。よって、メモリセル2はディプレッション形トランジスタであるから、チャンネル領域28は通電状態にある。従って、チャンネル領域28には電流が流れる。一方、情報“0”が記憶されている場合は、メモリセル2の閾電圧は正の値（約1.6V）である。よって、メモリセル2はエンハンスメント形トランジスタであるから、チャンネル領域28は通電状態にない。従って、チャンネル領域28には電流が流れない。

【0045】次に、上記のメモリセル2を用いて、メモリ回路を構成した一例を示す。

【0046】まず、情報を蓄込む場合の動作原理を説明する。図4に1024ビットのメモリLSIの構成を概念図で示す。

【0047】メモリセルアレイAには、メモリセル2が、32（行）×32（列）で計1024個（1Kビット）、マトリクス状に並んでいる。各メモリセル2のソース24には、選択トランジスタ4のドレインがそれぞれ接続されている。また、ロウデコーダ8からは、各選択トランジスタ4のゲート電極に接続するワードラインW

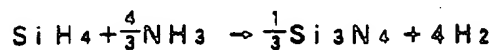
Lが配線されている。また、コントロールゲートラインCGLは、各メモリセル2の制御電極20に接続されている。さらに、コラムデコーダ6からは、各メモリセル2のドレイン22に接続するデータラインDLが配線されている。また、p形シリコン基板3には、ウェルラインWellが接続されている。

【0048】例えば、メモリセル2m,nに情報を書き込む場合について考える。コントロールゲートラインCGLnだけにプログラミング電圧Vppが印加される。この時、データラインDLm以外のラインには、デコーダ6によってプログラミング禁止電圧Viが印加されている。また、ワードラインWLnには、基板と同電位の接地電圧が印加される。従って、プログラミング電圧Vppが印加されたコントロールゲートラインCGLnとゲートで接続するメモリセル2のうち、ドレインとソースと基板の電位がすべて0となっているのは、プログラミング禁止電圧Viが印加されないデータラインDLmと接続するメモリセル2m,nだけである。つまり、メモリセル2m,nだけにプログラミング電圧Vppによる電界効果が作用し、チャンネル領域28内の電子が混合膜16にトラップされる。以上の様に、メモリセル2m,nだけに情報"0"が書き込まれる。

【0049】次に、メモリセル2m,nの情報を読み出す場合の動作原理を、図5に基づいて説明する。

【0050】図5の構成は、図4と同じである。ロウデコーダ8によってワードラインWLnだけに電圧Vddを印加する。また、全てデータラインDLには電圧Vddが印加されている。この時、情報"0"が記憶されているメモリセル2のチャンネル領域28は、上述したように通電状態にないため、各データラインDLを流れる電流は、そのままコラムデコーダ6に入力される。

【0051】一方、情報"1"が記憶されているメモリ\*



【0056】次に、混合膜16の上面にCVD法によりポリシリコン膜20を成長形成させる(図8C)。次に、レジストをマスクにしてエッチングすることによって、ポリシリコン膜20と混合膜16とシリコン酸化膜26とを成形する(図8D)。次に、ヒ素またはリンをイオン注入および熱拡散させて、n<sup>+</sup>形ドレイン22およびn<sup>+</sup>形ソース24を形成する(図1)。この時、n<sup>+</sup>形ドレイン22とn<sup>+</sup>形ソース24によってチャンネル領域28が形成される。

【0057】なお、上記実施例では、第一導電型をp型とし第二導電型をn型としたが、第一導電型をn型とし、第二導電型をp型としてもよい。

【0058】

【発明の効果】本発明に係る不揮発性半導体記憶装置

\*セル2のチャンネル領域28は通電状態にある。さらに、選択トランジスタ4がON状態にある(選択トランジスタ4のゲート電極に電圧Vddが印加されている)場合には、各データラインDLを流れる電流はメモリセル2、選択トランジスタ4を介して接地電位に落ちる。従って、コラムデコーダ6には電流が入力されない。

【0052】この時、コラムデコーダ6では、データラインDLmからの電流だけを出力することになっている。この出力は、センスアンプ10によって、増幅され、読み出される。以上より、メモリセル2m,nからの情報だけが読み出されることになる。次に、上記の1024ビットのメモリLSIに記憶された情報を一括消去する場合の動作原理を、図6に基づいて説明する。図6の構成は、図4と同じである。各コントロールゲートCGLラインを接地した上で、ウェルラインWellを介して各メモリセル2のp形シリコン基板3にプログラミング電圧Vppを印加する。この時、トラップされている電子は電界効果によりチャンネル領域28に戻る。つまり、書き込まれている情報"0"は全て消去され、全てのメモリセル2が情報"1"を記憶した状態となる。

【0053】また、上記のような構造をもつメモリセル2の製造工程を、図7、図8に基づいて以下に説明する。

【0054】薄膜のp形シリコン基板3が準備され、p形シリコン基板3の上面に熱酸化によってシリコン酸化膜26を形成する(図7A)。次に、シリコン酸化膜26の上面に、以下の反応式を利用したCVD法によって混合膜16を堆積させ、さらに混合膜16の上面を酸化することによってバリア酸化膜18を形成する(図7B)。

【0055】

【数2】

は、前記混合膜と前記制御電極との間に第二絶縁膜を設けたことを特徴としている。

【0059】従って、書き込み電圧印加時に前記混合膜に注された電子が前記混合膜から前記制御電極へ抜けることを防止するから、混合膜を薄膜化することが出来る。すなわち、従来より低電圧で情報を書き込むことが出来る。

【0060】また、一旦トラップされた電子が、制御電極に漏れることを防止するから、メモリセルの電荷保持性能を向上させることが出来る。

【0061】また、前記制御電極から第一絶縁膜へのホールの移動を抑制するから、第一絶縁膜の劣化を減少させることが出来る。すなわち、メモリセルの電荷保持性能をさらに向上させることが出来る。

## 【図面の簡単な説明】

【図1】本発明の一実施例によるメモリセル2の断面構成略図である。

【図2】メモリセル2の構造をバンド図で示した図である。

【図3】メモリセル2のヒステリシスループを示す図である。

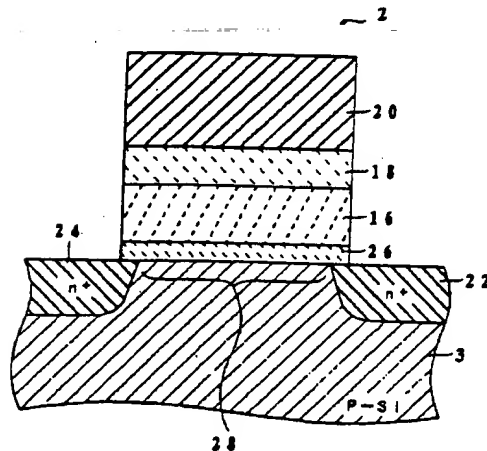
【図4】本発明の一実施例によるメモリセルへの情報の書込原理を説明する為のメモリLSIの構成を概念図である。

【図5】本発明の一実施例によるメモリセルからの情報の読み出し原理を説明する為のメモリLSIの構成を概念図である。

【図6】本発明の一実施例によるメモリセルに記憶された情報の消去原理を説明する為のメモリLSIの構成を概念図である。

【図7】メモリセル2の製造工程を示す図である。

【図1】



- |                           |              |
|---------------------------|--------------|
| 3 : P型シリコン基板              | 16 : 混合膜     |
| 22 : n <sup>+</sup> 形ドレイン | 18 : バリア酸化膜  |
| 24 : n <sup>+</sup> 形ソース  | 20 : ポリシリコン膜 |
| 26 : シリコン酸化膜              | 28 : チャンネル領域 |

【図8】メモリセル2の製造工程を示す図である。

【図9】MNOS構造メモリセルの断面構成略図である。

【図10】従来のメモリセル1の断面構成略図である。

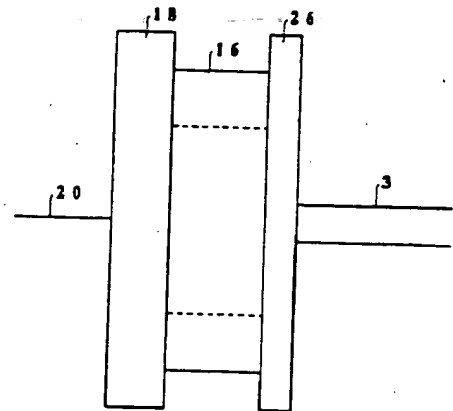
【図11】メモリセル1の構造をバンド図で示した図である。

【図12】メモリセル1のヒステリシスループを示す図である。

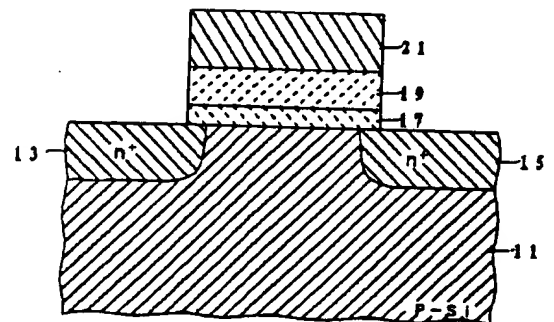
## 【符号の説明】

- 10 3・・・p形シリコン基板  
22・・・n<sup>+</sup>形ドレイン  
24・・・n<sup>+</sup>形ソース  
28・・・チャンネル領域  
26・・・シリコン酸化膜  
16・・・混合膜  
20・・・ポリシリコン膜  
18・・・バリア酸化膜

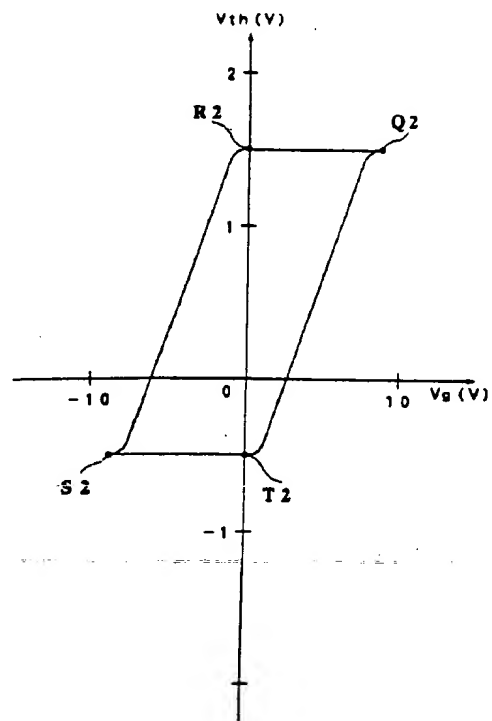
【図2】



【図9】

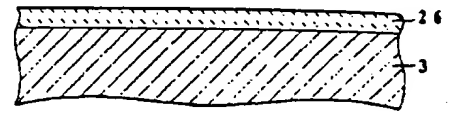


【図3】

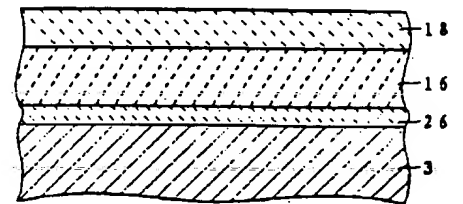


【図7】

A

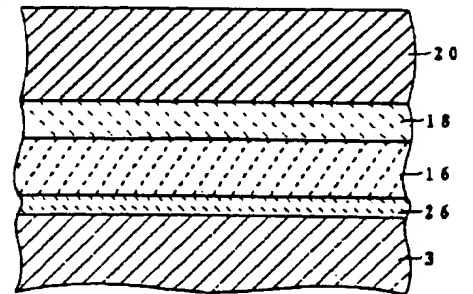


B

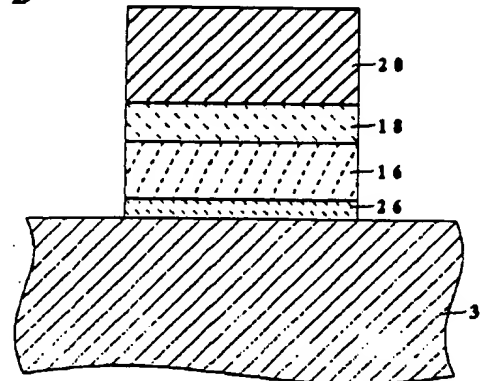


【図8】

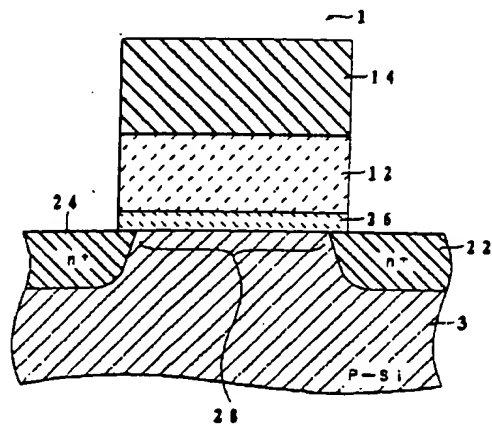
C



D

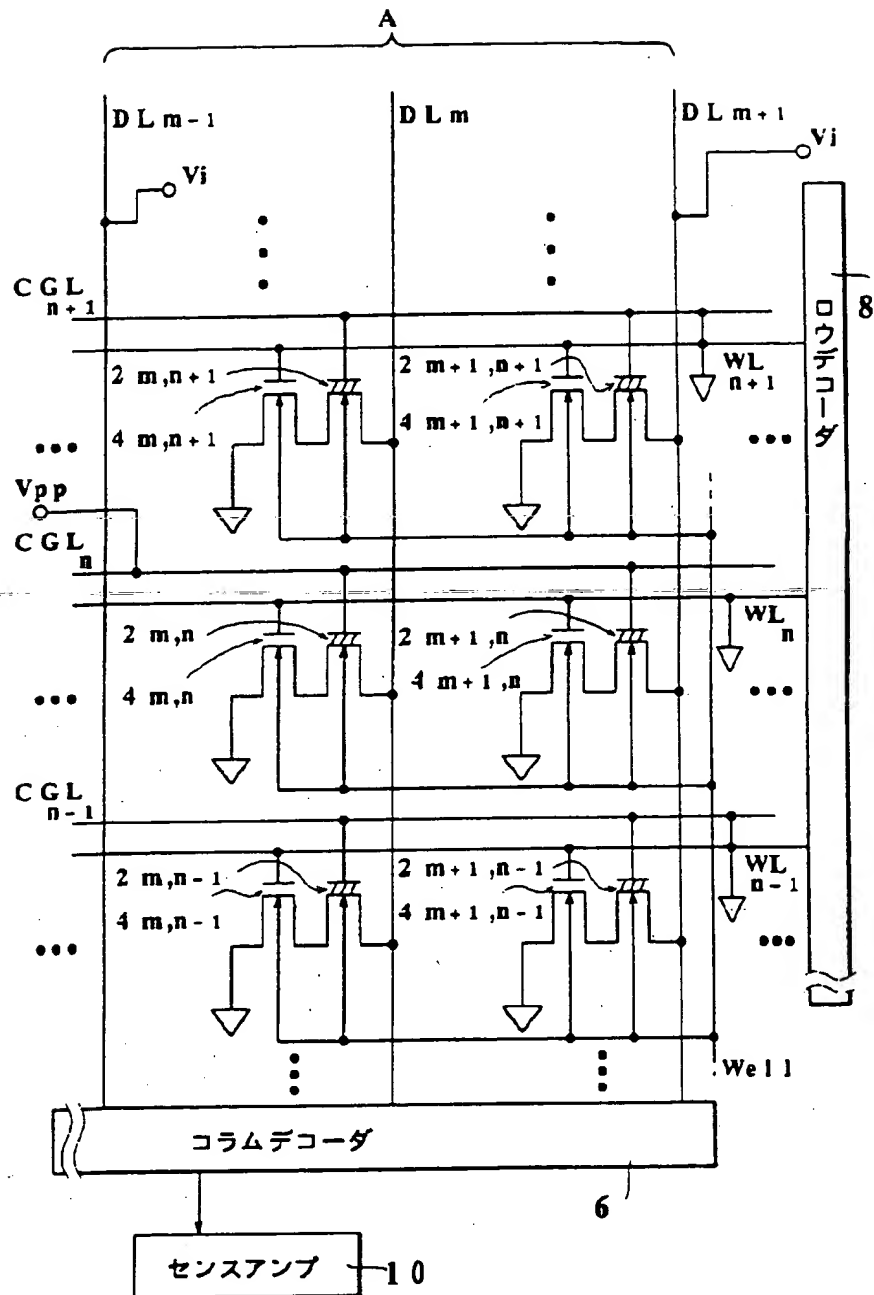


【図10】

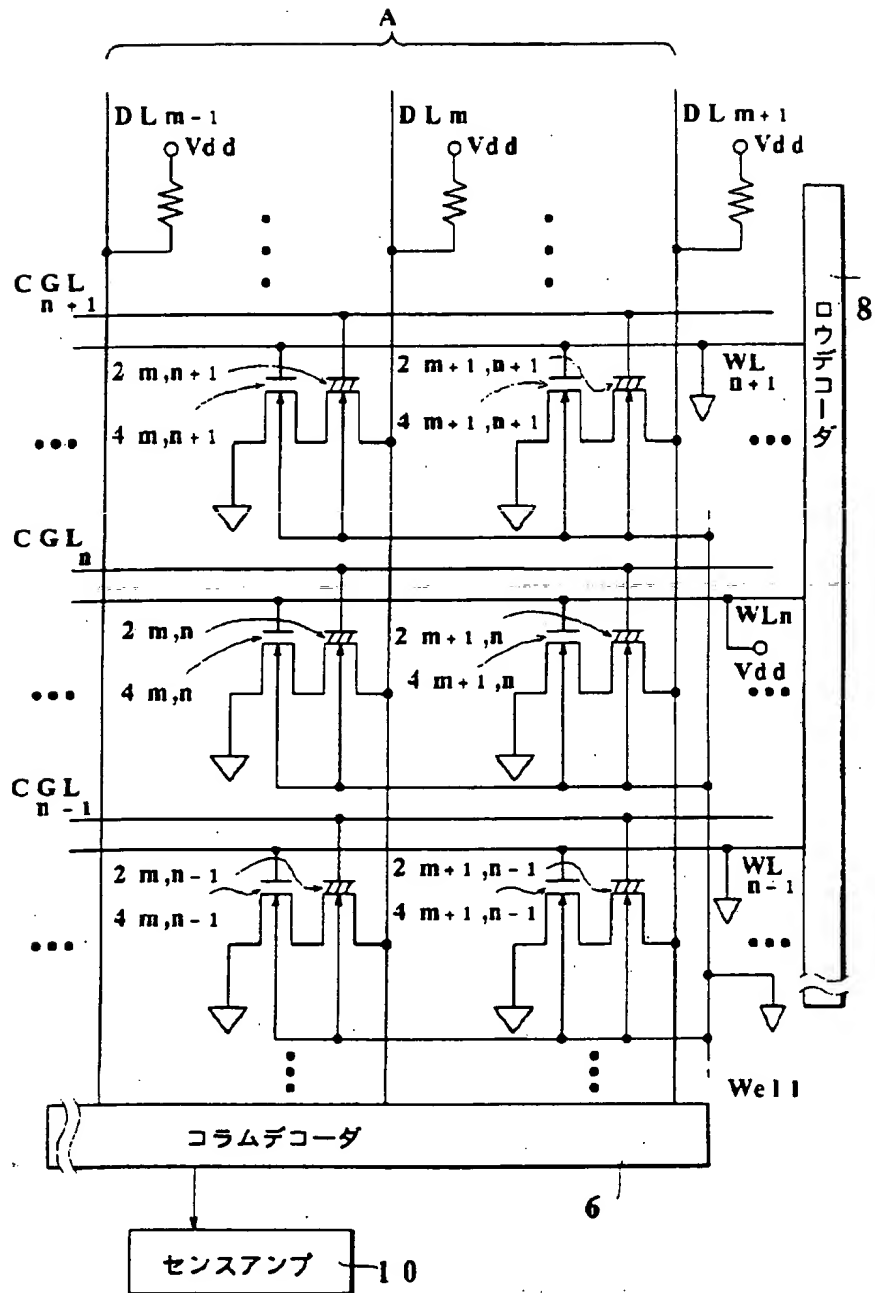




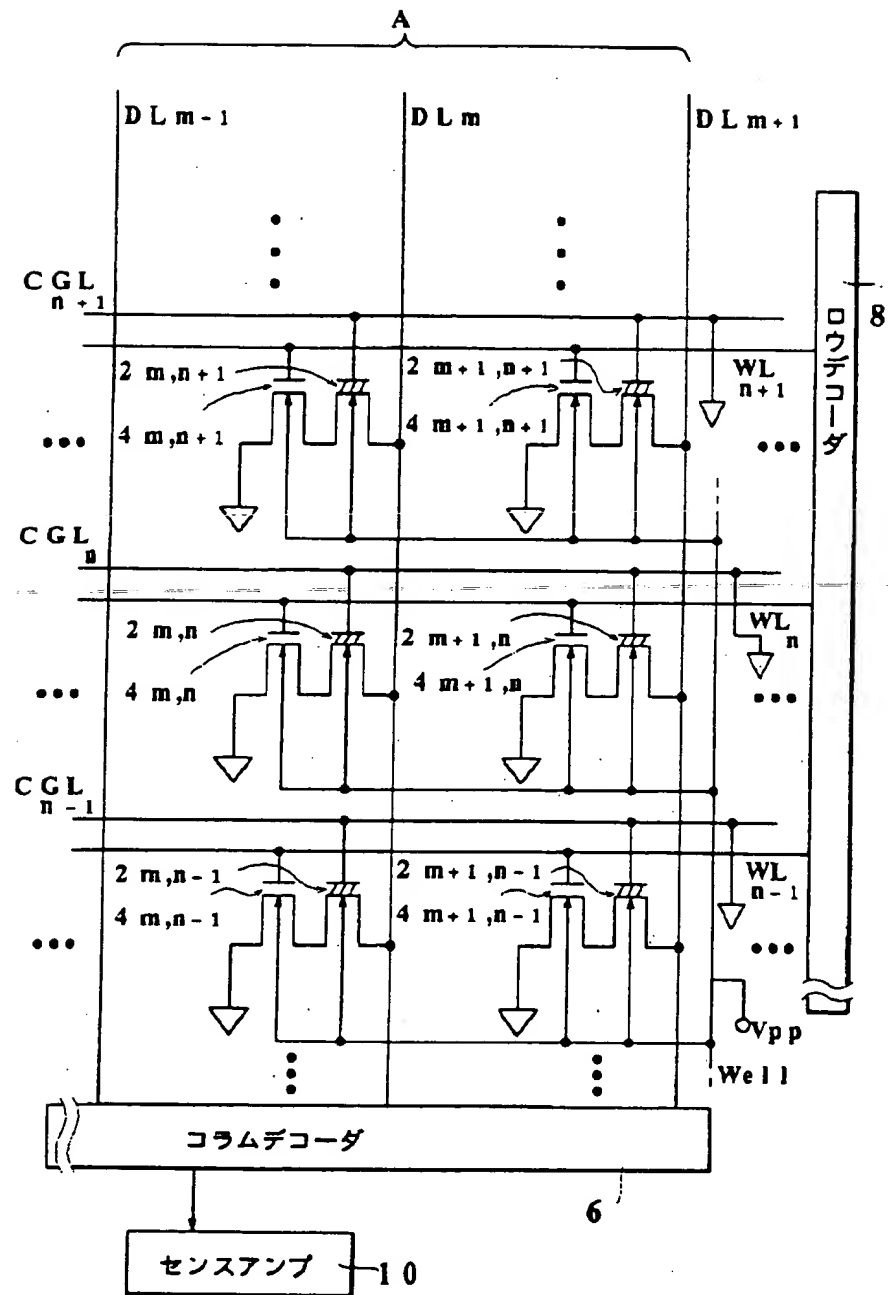
【図4】



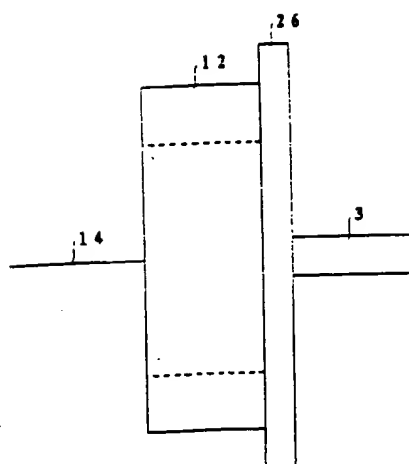
【図3】



【図6】



【図11】



【図12】

